

SnSe エピタキシャル薄膜作製の最適化と特性評価

フロンティア材料機能工学専攻 学籍番号 22215032 原 貴充

1. Introduction

熱電変換技術は熱エネルギーと電気エネルギーを相互変換できる技術である。熱電変換材料の変換効率は無次元性能指数 $ZT = (S^2/\rho\kappa)T$ (S : ゼーベック係数、 ρ : 電気抵抗率、 κ : 热伝導率、 T : 絶対温度) によって評価され、 $ZT = 2$ のとき変換効率は 15% を超え実用化の目安となる。従来の熱電材料は Bi_2Te_3 系、 $PbTe$ 系が使用され、 Pb や Te のような環境負荷が大きい重金属や希少金属が使用されている。そこで、 Pb や Te を使用しない材料探索が行われているが、2014 年に Zhao らによって SnSe 単結晶の b 軸方向において $ZT = 2.6$ at 923 K が報告された^[1]。この高い ZT はで非常に低い格子熱伝導率 (= 0.25 W/m K at 973 K) に起因する。SnSe は Sn と Se のジグザグの結合が a 軸方向に積層した層状構造でありこの結晶構造により低い熱伝導率を達成している。単結晶バルクからさらに性能を向上させる方法の一つとして単結晶薄膜化が有効である。薄膜化により薄膜と基板の格子ミスマッチによる疑似圧力効果やキャリアの閉じ込め効果によるゼーベック係数の増大が期待できる。パルスレーザー蒸着法 (PLD 法)で作製した SnSe 薄膜の構造や室温の電気的特性は Inoue らによって報告されている^[2]。本研究では良質なエピタキシャル膜が得られる PLD 法で SnSe 薄膜を作製し、構造評価及び物性評価の観点から作製条件を最適化する。

2. Experimental

ターゲットバルクは原料 Sn (shot)、Se (powder)を $SnSe_x$ ($x = 1.0, 1.2, 1.4, 1.6$)の組成比で秤量し、石英管に真空封入した後 1223 K で 6 h 保持し仮焼きした。得られた仮焼き粉を粉碎・混合し、放電プラズマ焼結法 (SPS 法)で印加圧力 50 MPa、焼結温度 773 K、保持時間 5 min、真空中で焼結した。得られた焼結体を 10 φ × 3 mm に切り出しターゲットバルクとした。SnSe 薄膜は PLD 法により、真空中 (10^{-8} Torr)、成膜時間 4 h で基板温度 T_s ($T_s = 293$ K, 473 K, 573 K, 673 K)でそれぞれ MgO (100) 単結晶 ($a = 0.421$ nm)、STO (100) 単結晶 ($a = 0.3905$ nm) 基板上に成膜した。構造評価は X 線回折 (XRD) 法を行った。電気抵抗率 ρ は直流四端子法で 10 K - 300 K の範囲で測定した。

3. Results and discussion

図 1 に MgO 基板上に $T_s = 573$ K で作製した SnSe 薄膜の XRD パターンを示す。XRD パターンから SnSe の (h00) 配向が観測され、単相であることを確認した。ターゲットは $x = 1.4$ は $x = 1.0$ に比べて大きなピーク強度を示した。Se は Sn よりもターゲットから基板へ飛びにくく、 $x = 1.0$ の薄膜は Se が欠損しやすく、 $x = 1.4$ では薄膜の組成が $Sn : Se = 1 : 1$ に近づき欠陥が減少すると考える。 $x = 1.4$ では面内 XRD から面内配向も確認しエピタキシャル膜であることがわかった。

図 2 に SnSe 薄膜の格子定数 a と x の関係を示す。格子ミスマッチは MgO 基板上で $\epsilon_b = +1.19\%$ 、 $\epsilon_c = -5.46\%$ 、STO 基板上で $\epsilon_b = -6.39\%$ 、 $\epsilon_c = -13.55\%$ と計算され $\epsilon > 0$ 、 $\epsilon < 0$ のとき薄膜にそれぞれ引張応力、圧縮応力が加わると予想され

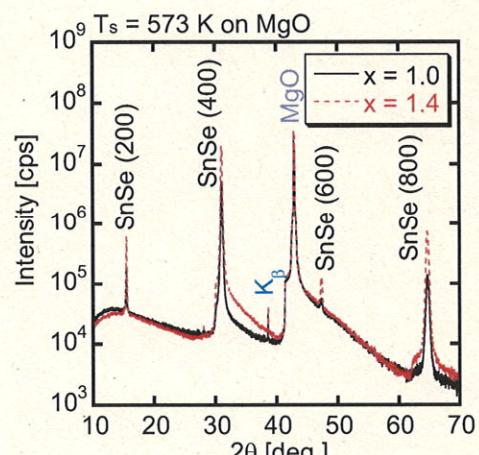


図 1. MgO 基板上の SnSe 薄膜の XRD パターン

る。XRD から、薄膜はバルクに比べ a 軸が大きく、両基板上で面内に圧縮応力を受けていると想定する。 MgO 基板上の SnSe は STO 基板上の SnSe に比べ a 軸の格子定数が大きく、 MgO 基板上の SnSe は基板に拘束されるが、 STO 基板上の SnSe は格子ミスマッチが大きく基板に拘束されにくいと想定する。 $x = 1.4$ は配向性、結晶性が良く、基板に拘束されたエピタキシャル膜であるといえる。

図 3 に SnSe 薄膜の電気抵抗率の温度依存性を示す。

MgO 基板上、 $T_s = 573\text{ K}$ の試料では $x = 1.4$ は $x = 1.0$ に比べ、一桁程度低い電気抵抗率を示した。状態図では SnSe は固溶幅を持たないが、ミクロな組成比のずれが原因であると考え、 $x = 1.0$ では薄膜の Se 欠損によりキャリア濃度が減少したと考える。また、バルクよりも薄膜の電気抵抗率が高いのは、わずかな Se 欠損や、 SnSe 薄膜の格子歪みが原因であると考える。一方、 STO 基板上の $x = 1.4$ 、 $T_s = 473\text{ K}$ では基板温度が低く、 SnSe_2 が不純物として存在するが、低い電気抵抗率を示した。XRD パターンからは多結晶膜で基板の拘束を受けておらず格子歪みが小さいこと、また Se が過剰になりホールドープされたからだと考える。

図 4 に SnSe_x ($x = 0.97, 1.0, 1.03$) バルク (B) と代表的な SnSe 薄膜の電気抵抗率の温度依存性を示す。バルクは薄膜に比べ組成の調整が容易であるため評価を行った。バルクの電気抵抗率は、 $x = 1.0$ に比べて $x = 0.97$ は増加し、 $x = 1.03$ は減少した。バルクのホール効果測定から、 x の増加に伴いキャリア濃度が増加することを確認した。電気抵抗率の増減はこのキャリア濃度の増減に起因すると考える。Se の過剰/欠損による電気抵抗率の増減はバルクと薄膜で同じ振る舞いを示した。

4. Conclusion

PLD 法により MgO 基板上に成膜した $x = 1.4$ 、 $T_s = 573\text{ K}$ の試料において a 軸配向したエピタキシャル薄膜が作製でき、構造評価の観点からはこの条件が最適条件であると考える。電気抵抗率測定からは、エピタキシャル薄膜は格子歪みを受けバルクよりも高い電気抵抗率を示した。 STO 基板上に成膜した $x = 1.4$ 、 $T_s = 473\text{ K}$ の試料は SnSe 多結晶膜で基板から拘束されず、なおかつ Se が過剰であり低い電気抵抗率を示し、熱電特性の観点からはこの条件が最適といえる。

参考文献

- [1] Li-Dong Zhao et al., *Nature* **508**, 373 -377 (2014)
- [2] Takeshi Inoue et al., *Journal of Applied Physics* **118**, 205302 (2015)

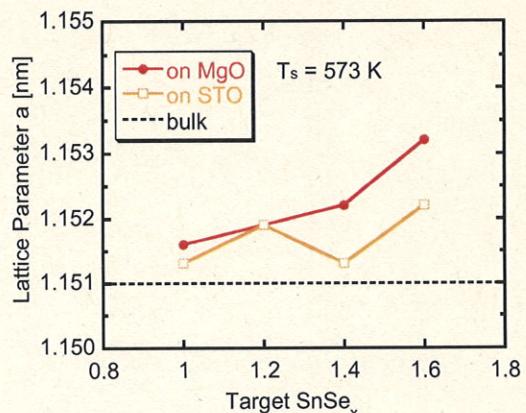


図 2. SnSe 薄膜の格子定数 a と x の関係

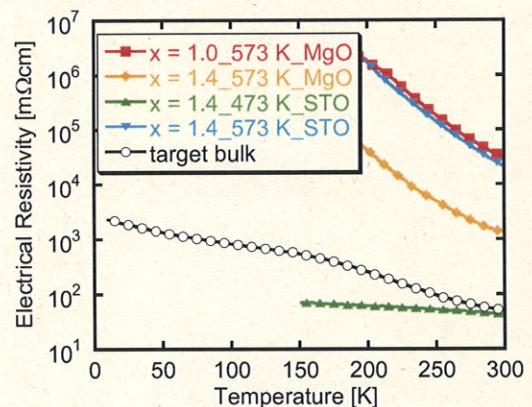


図 3. SnSe 薄膜の電気抵抗率の温度依存性

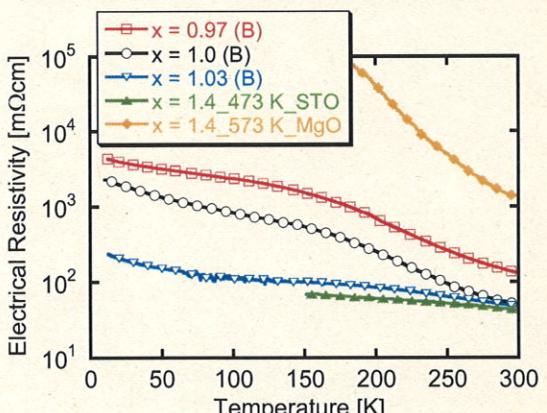


図 4. SnSe_x ($x = 0.97, 1.0, 1.03$) バルクと SnSe 薄膜の電気抵抗率の温度依存性